

SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

Patent Number: JP63267598
Publication date: 1988-11-04
Inventor(s): MATSUBARA KIYOSHI; KAWASHITA CHIE; YAMAURA TADASHI; KIHARA TOSHIMASA
Applicant(s): HITACHI LTD
Requested Patent: JP63267598
Application Number: JP19870101920 19870427
Priority Number(s): JP19870101920 19870427
IPC Classification: B42D15/02; G06K19/00; H01L21/60
EC Classification:
Equivalents: JP2633249B2

Abstract

Data supplied from the **esp@cenet** database - I2

⑪ 公開特許公報 (A)

昭63-267598

⑫ Int.CI. 1

B 42 D 15/02
G 06 K 19/00
H 01 L 21/60

識別記号

331

府内整理番号

J-8302-2C
L-6711-5B
6918-5F

⑬ 公開 昭和63年(1988)11月4日

審査請求 未請求 発明の数 2 (全12頁)

⑭ 発明の名称 半導体装置およびその製造方法

⑮ 特願 昭62-101920

⑯ 出願 昭62(1987)4月27日

⑰ 発明者 松原 清	東京都小平市上水本町1450番地 株式会社日立製作所武藏工場内
⑰ 発明者 山浦 忠	東京都小平市上水本町1450番地 株式会社日立製作所武藏工場内
⑰ 発明者 木原 利昌	東京都小平市上水本町1450番地 株式会社日立製作所武藏工場内
⑰ 発明者 川下 智恵	東京都小平市上水本町1450番地 株式会社日立製作所半導体事業部内
⑯ 出願人 株式会社日立製作所	東京都千代田区神田駿河台4丁目6番地
⑯ 代理人 弁理士 小川 勝男	外1名

明細書

1. 発明の名称

半導体装置およびその製造方法

2. 特許請求の範囲

1. 集積回路が形成されている半導体ペレットが I C カード用基板に取り付けられている半導体装置において、

半導体ペレットの表面に設けられているポンディングパッド電極は、第1の配置状態をもつて配置された複数の第1ポンディングパッド電極と、上記第1ポンディングパッド電極と同種の機能が与えられ上記第1の配置状態と異なる第2の配置状態をもつて配置された複数の第2ポンディングパッド電極とから構成されてなり、複数個の前記第1ポンディングパッド電極または複数個の第2ポンディングパッド電極のいずれか一方のポンディングパッド電極とそれに対応する外部端子リードとが電気的導通されることを特徴とする半導体装置。

2. 集積回路が形成されている半導体ペレットの

複数個のポンディングパッド電極を複数個の外部端子リードにポンディングしたのち、前記半導体ペレットおよびその周辺を樹脂封止する半導体装置の製造方法において、

半導体ペレットは、第1の配置状態をもつて配置された複数の第1ポンディングパッド電極と同種の機能が与えられ上記第1の配置状態と異なる第2の配置状態をもつて配置された複数の第2ポンディングパッド電極とが半導体ペレットの主面に形成されているものであることを特徴とする半導体装置の製造方法。

3. 前記第1ポンディングパッド電極に、それに対応する外部端子リードがワイヤレスポンディング法により相互接続することを特徴とする特許請求の範囲 第2項記載の半導体装置の製造方法。

4. 前記第2ポンディングパッド電極に、それに対応する外部端子リードがポンディングワイヤを用いて相互接続することを特徴とする特許請

- 求の範囲第2項記載の半導体装置の製造方法。
5. 複数の第1ポンディングパッド電極は、必要に応じワイヤレスポンディング法により外部端子リードに電気接続されるものであり、
複数の第2ポンディングパッド電極は、必要に応じワイヤポンディング法により外部端子リードに電気接続されるものである特許請求の範囲第2項記載の半導体装置の製造方法。
 6. 複数の第1ポンディングパッド電極は、バンプ形状を有するものである特許請求の範囲第2項記載の半導体装置の製造方法。
 7. 複数の第1ポンディングパッド電極は、電源Vccパッド電極、リセットRESパッド電極、クロックCLKパッド電極、グランドVssパッド電極、プログラム電圧供給Vppパッド電極および入出力I/Oパッド電極を有し、
複数の第2ポンディングパッド電極は、前記第1ポンディングパッド電極と同じく、電源Vccパッド電極、リセットRESパッド電極、クロックCLKパッド電極、グランドVssパッド
- 入出力I/Oパッド電極が含まれており、また、複数の第2ポンディングパッド電極にも入出力I/Oパッド電極が含まれており、前記第1ポンディングパッド電極における入出力I/Oパッド電極と前記第2ポンディングパッド電極における入出力I/Oパッド電極とは短絡されている特許請求の範囲第2項記載の半導体装置の製造方法。
11. 入出力I/Oパッド電極は、複数の第1ポンディングパッド電極にも複数の第2ポンディングパッド電極にも含まれており、それらの入出力I/Oパッド電極には出力バッファ回路および半導体ペレットに形成されている集積回路を破壊から防止する入力回路における保護抵抗が結線されている特許請求の範囲第2項記載の半導体装置の製造方法。

3. 発明の詳細な説明

【産業上の利用分野】

本発明は、半導体装置およびその製造方法に関するもので、たとえば、ICカードにおける半導

ド電極、プログラム電圧供給Vppパッド電極および入出力I/Oパッド電極を有する特許請求の範囲第2項記載の半導体装置の製造方法。

8. 複数の第1ポンディングパッド電極には、クロックCLKパッド電極が含まれており、また、複数の第2ポンディングパッド電極にもクロックCLKパッド電極が含まれており、前記第1ポンディングパッド電極におけるクロックCLKパッド電極と前記第2ポンディングパッド電極におけるクロックCLKパッド電極とは短絡されている特許請求の範囲第2項記載の半導体装置の製造方法。
9. クロックCLKパッド電極は、複数の第1ポンディングパッド電極にも複数の第2ポンディングパッド電極にも含まれており、それぞれのクロックCLKパッド電極には半導体ペレットに形成されている集積回路を破壊から防止するための保護回路が結線されている特許請求の範囲第2項記載の半導体装置の製造方法。
10. 複数の第1ポンディングパッド電極には、

体ペレットおよびその実装方法に適用して特に有効な技術に関するものである。

【従来の技術】

タブTAB(Tape Automated Bonding)方式(換言すればテープキャリア方式)による半導体ペレット(pellet)の実装技術については、株式会社工業調査会、1980年1月15日発行「IC化実装技術」(日本マイクロエレクトロニクス協会編)、P143~P144に記載されている。ここでは、上記タブ方式で供給された集積回路が形成されている半導体ペレット(以下、単にペレットという)について、フェイスアップ(face up)あるいはフェイスダウン(face down)による実装方法が各々図により説明されている。

本発明者は、集積回路が形成されている半導体ペレットの実装技術について検討した。

すなわち、ペレットを外部接続端子を有する配線基板に実装する際には、配線基板に対してペレットの表面に形成されている外部配線端子接続用のポンディングパッド電極が形成された面を対面

させる、いわゆるフェイスダウン方式と、配線基板に対してペレットの裏面を対面させる、いわゆるフェイスアップ方式がある。

〔発明が解決しようとする問題点〕

ここで、ICカードのような場合、ペレットを実装する基板の端子配列がISO(International Organization for Standardization)の規格により定まっており、基板側の端子配列を変更できない場合がある。このような実装基板にペレットを接着する際には、たとえ同一電気回路からなるペレットであっても、上記実装方式の差異に応じてポンディングパッド電極の配置の異なるものを2種類用意する必要が生ずる。すなわち、フェイスダウン方式のペレットとフェイスアップ方式のペレットというポンディングパッド電極の配置の異なるそれぞれのペレットを2種類用意する必要が生ずる。

本発明は、上記問題点に着目してなされたものであり、その目的は外部配線基板側の端子配列を変更することなく、多種類の実装方式に対応でき

れの実装方式により各々のパッド配置を有するペレットを別個に用意する必要がなく、単一のペレットで多種類の実装方式に対応できる。

〔実施例1〕

第1図は本発明の一実施例に適用される半導体ペレットの外部接続用電極としてのポンディングパッド電極形成状態を示す概略拡大平面図、第2図はフェイスダウンによるペレットの実装例を示す概略拡大断面図、第3図はフェイスアップによるペレットの実装例を示す概略拡大断面図、第4図は実施例のICカード全体を示す平面図、第5図は第4図のV-V線における拡大断面図、第6図はテープキャリアから形成された電極モジュールを示す拡大平面図である。

本実施例の半導体装置は、いわゆるICカード1を構成し、第4図に示すように、その平面形状は長方形の形状をしており、その四隅が切断・成形され四隅が丸味を帯びた形状をしている。半導体ペレット2は第6図に示すような電極モジュール3に接着された状態でICカード1に内蔵され

る半導体装置およびその製造技術を提供することにある。

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

〔問題点を解決するための手段〕

本題において開示される発明のうち代表的なものの概要を簡単に説明すれば、次の通りである。

すなわち、集積回路が形成されている半導体ペレットの主表面に第1の配列状態をもって配列された複数の第1ポンディングパッド電極と、上記第1パッド電極と実質的に同じ電気回路機能が与えられ上記第1パッド電極の配列に対して異なる第2の配列状態をもって配列された複数の第2ポンディングパッド電極とを設けるものである。

〔作用〕

上記した手段によれば、フェイスアップ方式あるいはフェイスダウン方式のいずれの実装方式にした場合でも同じ機能を有するパッド電極と実装基板の外部端子とを接続することができ、それぞ

ており、カード表面にはペレット2と電気的に導通された外部電極4がICカード表面から露出した状態となっている。

ICカード1の断面構造は、第5図に示すようにされている。すなわち硬質ポリ塩化ビニール樹脂からなるカード基板5に、ペレット2が取付けられた電極モジュール3が接着され、さらに硬質ポリ塩化ビニール樹脂からなるフィルム状のオーバーシート6でカード基板5の表面および裏面がラミネート加工された構造となっている。なお、特に制限されないが、ペレット2の直上にはラミネート加工により磁気ストライプ7が埋設されている。

前記電極モジュール3は第5図および第6図に示すような構成にされている。すなわち、ガラスエポキシ樹脂からなるような絶縁シート30の表面に、銅箔からなるようなプリント配線もしくはメタライズ層8が接着され、かかるメタライズ層8のそれぞれの端には外部電極4が設けられている。絶縁シート30は、ペレット接着孔9が設け

られており、メタライズ層8はペレット接着孔9の上方に延設される所定のリード10と一体的に接続されている。

ペレット2は、第5図および要部のみ拡大した第2図に示すように、電極モジュール3のリード10に、ペレット2の半導体集積回路形成面2aが対面される、いわゆるフェイスダウン方式により接着されている。より詳しくは、ペレット2はその表面に金あるいは半田等からなるバンプ電極（ポンディングパッド電極）11を持ち、かかるバンプ電極がワイヤレスポンディング技術すなわちTAB（Tape Automated Bonding）技術によってリード10と結合されている。ペレット2の裏面は、リード10のポンディングの後に塗布形成されるエポキシ樹脂からなるようなアンダーコート材もしくは表面保護材31によって被われている。

ここで、本実施例のペレット2の表面、すなわち半導体集積回路形成面2aには第1図に示すような配置をもって各種ポンディングパッド電極が

いる。そして、それぞれのグランドパッド12a、12bどうし、入出力パッド13b、13aどうしは互いに電気的に結線されている。第1図の実施例においては、両入出力パッド（I/O）13b、13aのための出力バッファ回路は、それらパッドに互いに同じ機能が与えられるけれども、それらパッド13b、13aに一対一対応された出力バッファ回路14bと14aとから構成される。出力バッファ回路14bを構成するPチャンネル出力MOSFETQ₁とNチャンネル出力MOSFETQ₂は、その出力ノードとパッド13bとの距離が小さくなるように、半導体ペレット2上においてパッド13bの近くに配置される。同様に、出力バッファ14aを構成する2つのMOSFETは、パッド13aの近くに配置される。この構成は、パッド13bまたは13aおよび外部電極4を介して結合される負荷の良好な駆動を可能とする。

なお、パッド13bと13aに同じ機能が与えられているので、2つの出力バッファ回路14b

配設されている。ここで、本実施例では、これらのポンディングパッド電極は実質的な鏡映対称のような一定の規則性を有する状態で各々配列されている。すなわち、ペレット2の回路形成面2aをその中心線CLを中心軸にして180度回転させてペレット2の表裏を逆にした場合において、配線基板である電極モジュール3からみて180度回転前の所定のパッド位置に対応した位置の近傍に該パッドと同一機能を有するパッドがくるよう所要の同種のパッドが複数個互いに結線されて配設され、ペレット2の回転前と回転後とで同一の機能を有するパッドと外部端子との接続がなされるようパッド配列が構成されている。

すなわち、図中、左上にはグランドパッド（V_{ss}）12a、その下には入出力パッド（I/O）13bが設けられており、一方、左下には前記グランドパッド（V_{ss}）12a、および入出力パッド（I/O）13bとそれぞれ同一の機能を持つグランドパッド（V_{ss}）12bおよび入出力パッド（I/O）13aが平行移動の関係で設けられて

および14aのうちの一方、たとえば14aを省略し、出力バッファ回路14bの出力端子を、ペレット（チップ）上を延長する新たな配線層15によってパッド13aを結合させることができる。

しかしながら、この実施態様の場合は次の点を注意する必要がある。すなわち、配線層15によって構成される浮遊容量によって出力バッファ回路に対する不所望な容量負荷が構成されてしまうことになる。また、電源配線V_{cc}、接地もしくは基準電位配線V_{ss}がペレット（チップ）上に設けられる種々の回路への供電を可能とするようにペレット（チップ）上に延長形成される結果として、配線層15はそれら配線と交差する必要が生ずる。その場合、電源配線および基準電位配線のインピーダンスは、回路の誤動作等を防ぐために、小さいことが望ましい。それ故に交差配線構造が例えば半導体配線層とそれに交差されるアルミニウム等の金属配線層とから構成される場合、交差構造部分において電源配線および基準電位配線は抵抗の小さい金属配線層から構成され、配線層

15のような配線層は、半導体配線層から構成される。これに応じて、配線層15は、比較的大きい抵抗もしくはインピーダンスを持つようになる。このように配線層15が比較的大きい抵抗もしくはインピーダンスを持つようになると、その配線層15が結合されたパッド13aに良好に変化する信号を与えることが困難となってくる。

なお、第1図において、抵抗R₁はパッド13b、13aを介して信号を受ける入力回路のための保護抵抗である。抵抗R₁は、それとペレット上に形成される図示しない入力回路によって構成される入力容量のような容量とによって、実質的なサージ吸収回路を構成する。それ故に、第4図ないし第6図の外部電極4を介してパッド13bまたは13aに摩擦静電気によるような不所望なサージ電圧が加わってしまっても、ペレット上の図示しない入力回路はそのサージ電圧に対して保護される。

第1図中の右上には電源パッド(V_{cc})16aおよびクロックパッド(CLK)17bが設けら

ロックペルス信号を受けるペレット上の図示しない入力回路は、かかるサージ電圧から保護される。

なお、パッド17bと17aとを新たに設ける配線層19によって直接的に結合し、2つの保護回路18bおよび18aのうちの一方、例えば18aを省略することもできる。しかしながら、この実施態様の場合は、次の点に注意する必要がある。すなわち、配線層19はそれがペレット上に延長形成されることによって無視し得ないインダクタンスと抵抗を持つようになる。サージ電圧のような極めて急激に変化される電圧は、このようなインダクタンスによっては実質的に制限されない。これに応じて、パッド17aのようなパッドにサージ電圧が加わってしまった場合、配線層19におけるパッド17aに近い部分は、そのサージ電圧に実質的に等しいようなレベルにされてしまう。ペレット上に延長形成される配線層19にサージ電圧が与えられてしまった場合、不所望なカップリング容量を介してペレット上の内部配線や回路素子にサージ電圧が加えられてしまう恐

れでおり、一方、右下には前記電源パッド(V_{cc})16aおよびクロックパッド(CLK)17bに対応して、電源パッド(V_{cc})16bおよびクロックパッド(CLK)17aが設けられている。そして、それぞれの電源パッド16a、16bどうし、クロックパッド17a、17bどうしは互いに電気的に結線されている。なお、第1図中では、両クロックパッド(CLK)17b、17aに対して、それぞれペレット2に形成されるPチャネルMOSFETQ_p、NチャネルMOSFETQ_nおよび抵抗R₂からなる保護回路18b、18aが設けられている。

上記MOSFETQ_pは、そのゲートおよびソースが電源配線V_{cc}に結合され、MOSFETQ_nは、そのゲートおよびソースが基準電位配線V_{ss}に結合されており、その降伏電圧によって、サージ電圧レベルを制限する。保護回路18bまたは18aによって、クロックパッド17bまたは17aにサージ電圧が加えられてしまった場合でも、かかるパッド17bまたは17aを介してク

れが生ずる。これに応じて回路素子等の特性劣化や破壊が生ずる恐れが生ずる。

上記各パッド電極のうち、本実施例で、リード10との接続が行われるのはグランドパッド(V_{ss})12a、入出力パッド(I/O)13a、電源パッド(V_{cc})16aおよびクロックパッド(CLK)17aのみであり、他のパッドはリード10とは接続されない。

ところで、上記ペレット2は、第3図に示されたように、銀ベースト等の接合材20を用いて、電極モジュール3aに対して回路形成面2a側の裏面を該電極モジュール3aに対面させた状態、すなわちフェイスアップ方式で取付けることも可能である。このような実装方式で、例えばワイヤボンディングにより電極モジュール3aの電極端子21との電気的導通を図る場合には、以下のようにになる。

すなわち、このペレット2の半導体集積回路形成面2aを第2図に示すフェイスダウン状態から180度回転させた場合、フェイスダウン実装時

に所定配置のリード10と接合された各パッドはフェイスアップ時には電極モジュール3aの電極端子配列とは整合しなくなる。したがって、フェイスダウン実装用のペレットはフェイスアップ実装では使用できなくなるおそれがある。

しかし、本実施例では、ペレット2の回路形成面2aを第1図中の中心軸CLを中心軸として180度回転させた状態で、電極モジュール3aからみて回転前のワイヤレスポンディング用パッド位置に対応した位置の近傍に該パッドと同一機能を有するワイヤポンディング用パッドが形成されている。したがって、配線基板である電極モジュール3aの端子配列あるいはペレット2上のパッド配列を変更することなく、それぞれのパッドと対応する電極端子21とを、金細線、アルミニウム細線、銅細線等のポンディングワイヤ22を用いたワイヤポンディングにより導通させることができる。ワイヤポンディング技術においては、ボールポンディング、熱圧着ポンディング、超音波振動用の熱圧着ポンディング、超音波振動が

心軸CLを中心軸として180度回転させた状態で、電極モジュール3aからみて180度回転前の所定パッド位置に対応した位置の近傍に該パッドと同一機能を有するパッドを形成することにより、ペレットの回転前と回転後とで同じ機能を持つパッドを外部端子と接続できる。そのため、電極モジュール3aの端子配列あるいはペレット2上のパッド配列を変更することなく、单一のペレット2でフェイスダウンあるいはフェイスアップのいずれの実装方式も可能となる。

(2) 前記(1)により、单一のペレット2で実装の自由度が拡大するため、パッケージ構造の多様化を図ることができる。

以上本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は前記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。たとえば、ペレットを180度回転させる場合の中心軸CLについては、第1図中ペレット2の中心を水平方向に引かれた場合で説明したが、

ソーディングのいずれかであっても、ペレット2におけるワイヤポンディングパッド電極と外部端子リードとの相対位置が種々の配置関係をもっていて良好なワイヤポンディングを行なうことができる。

すなわち、第3図に示すようなフェイスアップ方式で実装を行う際には、グランドパッド(V_{ss})12b、入出力パッド(I/O)13b、電源パッド(V_{cc})16bおよびクロックパッド(CLK)17bに各々ワイヤ22を接続すればよいことになる。このように、実装方式により、リード10あるいはワイヤ22の接続されるパッドを選択変更することにより、実装基板である電極モジュール3もしくは3a側の端子配列を変更することなく、フェイスアップ方式あるいはフェイスダウン方式の各実装方式を单一のペレット2で実現することができる。

以上のように、本実施例によれば以下の効果を得ることができる。

(1) ペレット2の回路形成面2aを第1図中の中

ペレット2の中心を縦方向に引いた中心軸を軸としてパッド配列を行ってもよい。

また、フェイスアップ実装の例としてワイヤポンディングによる場合のみ説明したが、フェイスダウンによる場合と同様、パッドにパンプ電極を介在させてリードを接合してもよい。

さらに、パッドの種類としては、実施例で説明したものの他に、リセットパッドRES、プログラム電圧供給パッドV_{pp}あるいは性能検査用パッド等の形成されたものであってもよい。

以上の説明では主として本発明者によってなされた発明をその利用分野である、いわゆるICカードに適用した場合について説明したが、これに限定されるものではなく、たとえば樹脂封止型半導体装置あるいは気密封止型半導体装置等の他のパッケージ構造を有する半導体装置およびその製造方法にも適用できる。

本題において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記の通りである。

すなわち、第1の配線状態をもって配置された複数の第1ポンディングパッド電極と、上記第1パッド電極と同種の電気回路機能が与えられ上記第1の配線状態と異なる第2の配線状態をもって配置された複数の第2ポンディングパッド電極とがその半導体ペレットの主面に形成された半導体装置構造とすることにより、外部端子と接続するポンディングパッドの選択ができる。したがって従来のような異なる実装方式により各々独自のポンディングパッド配置を有するペレットを別個にそれぞれ用意する必要がなく、単一のペレットで多種類の実装方式に対応できる。

〔実施例2〕

第7図は、本発明の他の実施例であるICカードを示す平面図、第8図は、第7図に図示されたICカードに組み込まれているテープキャリア方式のモジュールを示す平面図、第9図は、第8図に図示されたモジュール(配線基板)に取り付けられているICペレットを示す平面図、第10図は第8図に図示されたモジュールのICペレット

が、ペレット102の直上にはラミネート加工により磁気ストライプ107が埋設されている。

前記モジュール103は第8図および第10図、第11図に示すような構成にされている。すなわち、ガラスエポキシ樹脂からなるような絶縁シート130の表面に、銅箔からなるようなプリント配線もしくはメタライズ層108が接着され、かかるメタライズ層108のそれぞれの端には外部電極104が設けられている。絶縁シート130は、ペレット接着孔109がそれぞれに設けられており、メタライズ層108はペレット接着孔109の上方に延設される所定のフィンガーリード110と一体的に接続されている。図示は省略しているが、ペレット102とその周辺は表面保護のために樹脂封止されている。

ペレット102は、第8図から第11図に示すように、モジュール103のフィンガーリード110に、その回路形成面2aが対面される、いわゆるフェイスダウン方式により接着されている。より詳しくは、ペレット102はその表面に金あ

及びその周辺の拡大平面図、第11図は第10図のX1-X1断面に沿った矢印断面図である。

本実施例の半導体装置は、いわゆるICカード101を構成し、第7図に示すように、その平面形状は長方形で、その四隅が切断・成形された四隅が丸みを帯びた形状をしている。第9図に示すICペレット102は第8図に示すようなキャリアテープから得られたモジュール103に取り付けられた状態でICカード101に内蔵されており、カード表面にはペレット102と電気的に導通された外部電極104がICカード表面から露出した状態となっている。

ICカード101の断面構造は、第5図に示した実施例1のICカードとはほぼ同一のものである。すなわち硬質ポリ塩化ビニール樹脂からなるカード基板に、ペレット102が取付けられたモジュール103が接着され、さらに硬質ポリ塩化ビニール樹脂からなるフィルム状のオーバーシートでカード基板の表面および裏面がラミネート加工された構造となっている。なお、特に制限されない

あるいは半田等からなるポンディングパッド電極としてのバンブ電極111を持ち、かかるバンブ電極がポンディング技術によってリード110と結合されている。ペレット102の表面は、リード110のポンディングの後に塗布形成されるエポキシ樹脂からなるようなアンダーコート材もしくは表面保護材によって覆われている。図示の簡便上、表面保護材は図面上から省略している。

ここで、本実施例のペレット102の表面、すなわち回路形成面102aには第9図に示すような配線をもって各種ポンディングパッド電極112～113が配設されている。ここで、本実施例では、これらのパッド電極は実質的な鏡映対称の上に一定の規則性を有する状態で各々配列されている。すなわち、ペレット102の回路形成面102aをその中心線CLを軸に180度回転させてペレット102の表裏を逆にした場合において、実装基板であるモジュール103からみて回転前の所定パッド位置に対応した位置の近傍に該パッドと同一機能を有するパッドがくるよう所

要の同種のパッドが複数個互いに結線されて配設され、ペレット102の回転前と回転後とで同一の機能を有するパッドと外部端子との接続がなされるようパッド配列が構成されている。

本実施例のペレット102は、第9図に示すように、6組のポンディングパッド電極を有し、合計12個のポンディングパッド電極112~123がペレット102の正面102aに形成されている。ペレット102の左側には電源Vccパッド112, 113, リセットRESパッド114, 115, クロックCLKパッド116, 117が配設されている。ペレット102の右側には、グランドVssパッド118, 119, プログラム電圧供給Vppパッド120, 121, 入出力I/Oパッド122, 123が配設されている。そして、各ポンディングパッド電極において、フェースダウンポンディング方式のパッド電極112, 114, 116, 118, 120, 122と、それらに対応するフェースアップポンディング方式のパッド電極113, 115, 117, 119, 121,

がICカードに設けられている。なお、ICカード103における外部電極のうち、NCで示したものは、ノンコネクション(None Connection)の略号であり、無接続用外部電極で、将来のICカード機能の展開に備えて設けている予備電極である。現状のICカードにおいては、何ら他の電気回路と接続されていない外部電極である。

ところで、上記ペレット102は、第12図~第13図に示されたように、銀ベースト等の接合材102bを用いて、モジュール103に対して回路形成面102a側の裏面を該モジュール103に対面させた状態、すなわちフェイスアップ方式で取付けることも可能である。このような実装方式で、例えばワイヤポンディングによりモジュール103の端子リード126との電気的導通を図る場合には、以下のようになる。

すなわち、このペレット102の回路形成面102aを第10図~第11図に示すフェイスダウンの状態から180度回転させた場合、フェイスダウン実装時に所定配設のリード110と接合

123は互いに電気的に結線されている。本実施例の場合、2つのクロックCLKパッド116と117は、直接電気配線124によって電気接続されており、その電気配線に対し直列に実施例1で説明した保護回路が接続されている。なお、この保護回路は、実施例1で説明したように、それぞれのクロックCLKパッド116とクロックCLKパッド117に直列に接続した態様をとることもできる。

また、2つの入出力I/Oパッド122と123は、直接電気配線125によって電気接続されており、その電気配線に対し直列に実施例1で説明した出力バッファ回路、サージ吸收回路が接続されている。なお、これらの出力バッファ回路、サージ吸收回路は、実施例1で説明したように、それぞれの入出力I/Oパッド122と入出力I/Oパッド123に直列に接続した態様をとることもできる。

第8図に示すように、上記ペレット102の各ポンディングパッド電極に対応した外部電極104

された各パッドはフェイスアップ時にはモジュール103の電極端子配列とは整合しなくなる。したがって、フェイスダウン実装用のペレットはフェイスアップ実装では使用できなくなるおそれがある。

しかし、本実施例では、ペレット102の回路形成面102aを第9図中の中心線CLを軸として180度回転させた状態で、モジュール103からみて回転前の所定パッド位置に対応した位置の近傍に該パッドと同一機能を有するパッドが形成されている。したがって、実装基板であるモジュール103の端子配列あるいはペレット102上のパッド配列を変更することなく、それぞれのパッドと対応する端子リード126とを、金等のワイヤ127を用いたワイヤポンディングにより導通させることが可能となる。

すなわち、第12図~第13図に示すようなフェイスアップ方式で実装を行う際には、電源Vccパッド113, リセットRESパッド115, クロックCLKパッド117, グランドVssパッド

119, プログラム電圧供給V_{PP}パッド121, 入出力I/Oパッド123と各端子リード126をポンディングワイヤ127により相互接続すればよいことになる。

このように、実装方式により、端子リード126あるいはワイヤ127の接続されるパッドを選択変更することにより、実装基板であるモジュール103もしくは端子リード126配列を変更することなく、フェイスアップ方式あるいはフェイスダウン方式の各実装方式を单一のベレット102で実現することができる。

以上のように、本実施例によれば以下の効果を得ることができる。

(1) ベレット102の回路形成面102aを第9図中の中心線CLを軸として180度回転させた状態で、モジュール103からみて回転前の所定パッド位置に対応した位置の近傍に該パッドと同一機能を有するパッドを形成することにより、ベレット102の回転前と回転後とで同じ機能を持つパッドを外部端子と接続できるので、モジュー

【発明の効果】

第1の配置状態をもって配置された複数の第1ポンディングパッド電極と、第1ポンディングパッド電極と同種の機能が与えられ第1の配置状態と異なる第2の配置状態をもって配置された複数の第2ポンディングパッド電極とがICベレットの一表面に形成された半導体装置の構造とすることにより、外部端子リードと電気接続するポンディングパッドの選択が可能となる。そのため、フェースダウン方式、フェイスアップ方式あるいはワイヤポンディング方式、ワイヤレスポンディング方式などの種々の方式により1つの半導体ベレットと外部端子リードとが電気接続することができる。それにともない、本発明は、種々の異なる実装方式により各自独自のパッド配置を有する半導体ベレットを別個に用意する必要がなく、単一の半導体ベレットで多種類の実装方式に対応できる。

4. 図面の簡単な説明

第1図は本発明の一実施例に適用されるベレッ

ル103の端子配列あるいはベレット102上のパッド配列を変更することなく、单一のベレット102でフェイスダウンあるいはフェイスアップのいずれの実装方式も可能となる。

(2) 前記(1)により、单一のベレット102で実装の自由度が拡大するため、パッケージ構造の多様化を図ることができる。

第14図～第15図に示すものは、ワイヤポンディング用パッド電極113, 115, 117, 119, 121, 123に、あらかじめバンブ128aを形成しているフィンガーリード128におけるバンブ128aをワイヤレスポンディングしたものである。ICベレット102におけるポンディングパッド電極にあらかじめバンブを形成しておくものに比較してコスト面で有利である。フィンガーリード128の先端部にバンブ128aを形成するには、フィンガーリード128の先端部に突起形状ができるようにフィンガーリードに選択エッチングなどを施してフィンガーリードを成形加工することにより行なうことができる。

トのパッド形成状態を示す概略拡大平面図、

第2図はフェイスダウンによるベレットの実装例を示す概略拡大断面図、

第3図はフェイスアップによるベレットの実装例を示す概略拡大断面図、

第4図は実施例のICカード全体を示す平面図、

第5図は第4図のV-V'線における拡大断面図、

第6図は電極モジュールを示す拡大平面図である。

第7図は、本発明の他の実施例であるICカードを示す平面図、

第8図は、第7図に図示されたICカードに組み込まれているテープキャリア方式のモジュールを示す平面図、

第9図は、第8図に図示されたモジュール(配線基板)に取り付けられているICベレットを示す平面図、

第10図は、第8図に図示されたモジュールのICベレット及びその周辺の拡大平面図、

第11図は、第10図のX-X'線に沿った矢視

断面図、

第12図は、ワイヤボンディング方式の電気接続を採用したICモジュールの一部拡大裏面図。

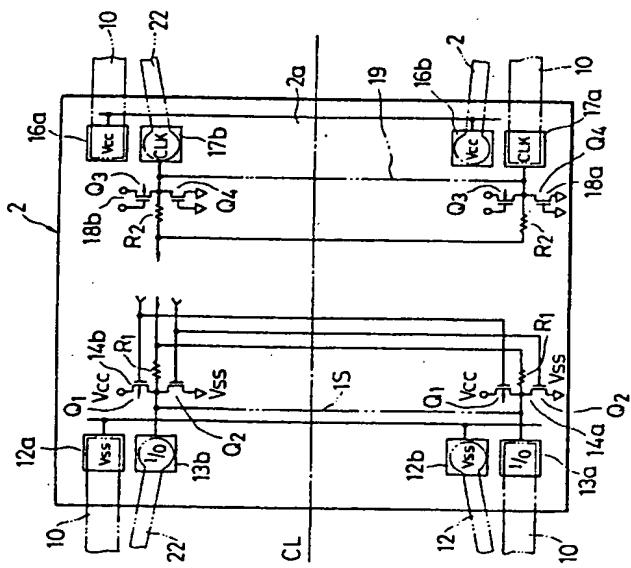
第13図は、第12図のXI-XII線に沿った矢視断面図。

第14図は、ワイヤレスボンディング方式の電気接続を採用したICモジュールの一部拡大裏面図。

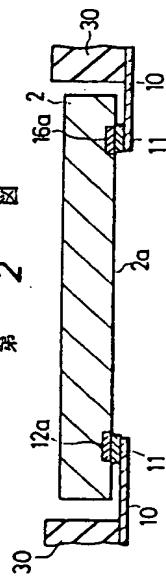
第15図は、第14図のXV-XVI線に沿った矢視断面図である。

代理人 弁理士 小川勝男

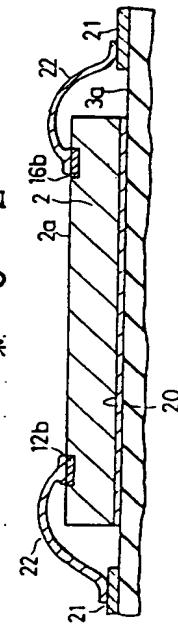
第1図



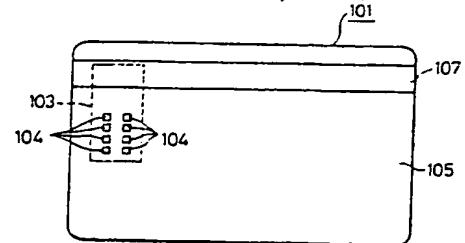
第2図



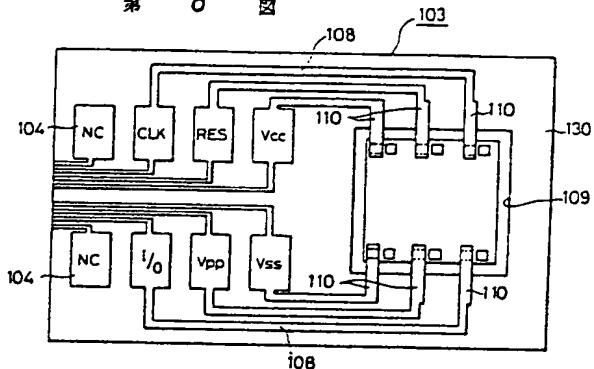
第3図



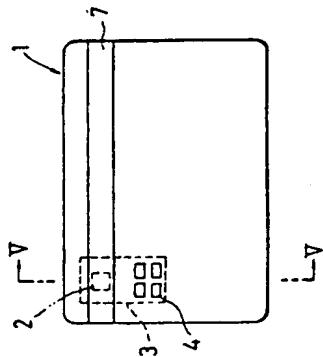
第7図



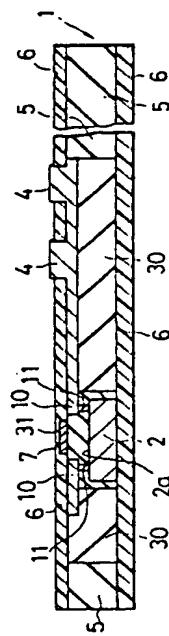
第8図



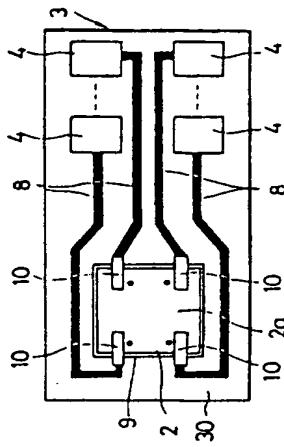
第 4 図



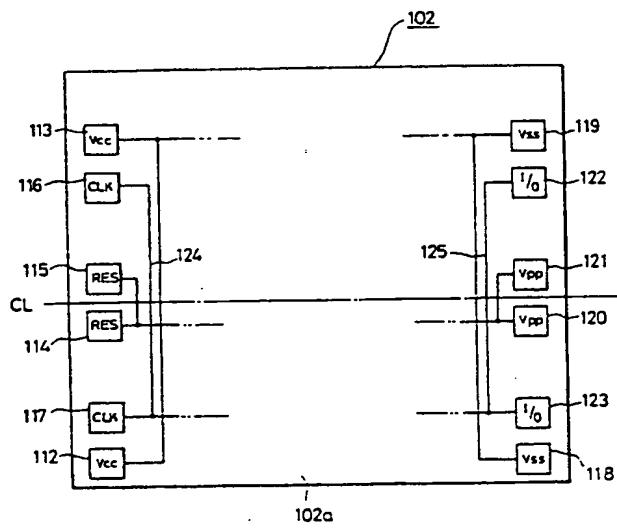
第 5 図



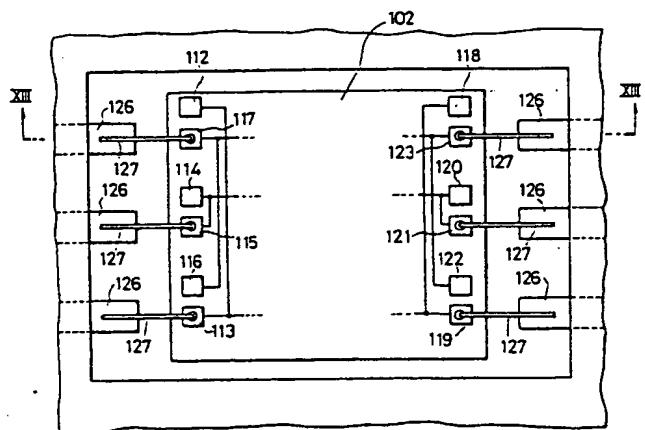
第 6 図



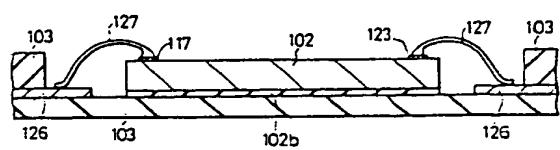
第 9 図

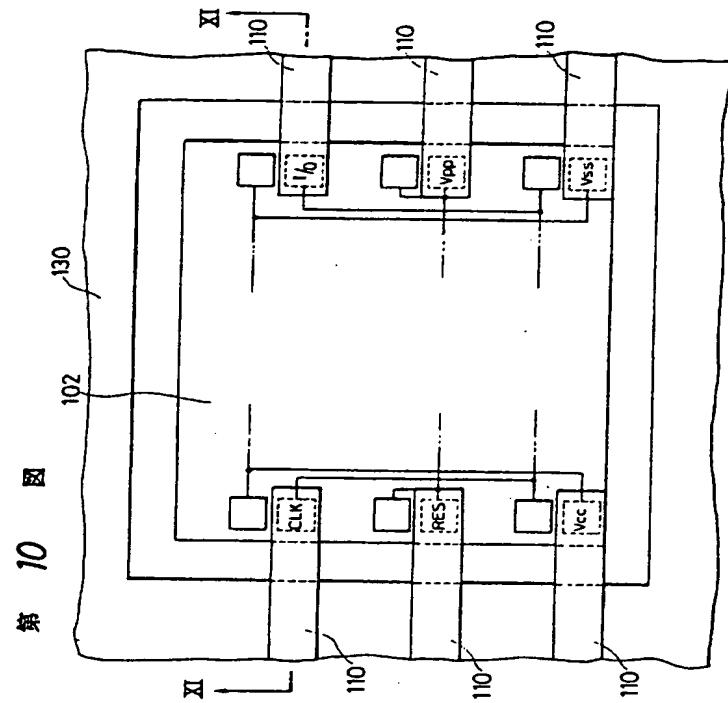


第 12 図

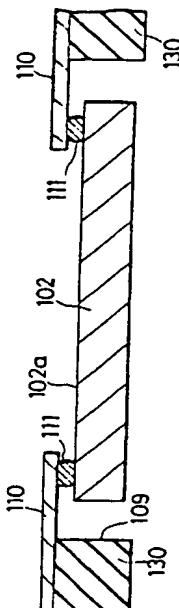


第 13 図



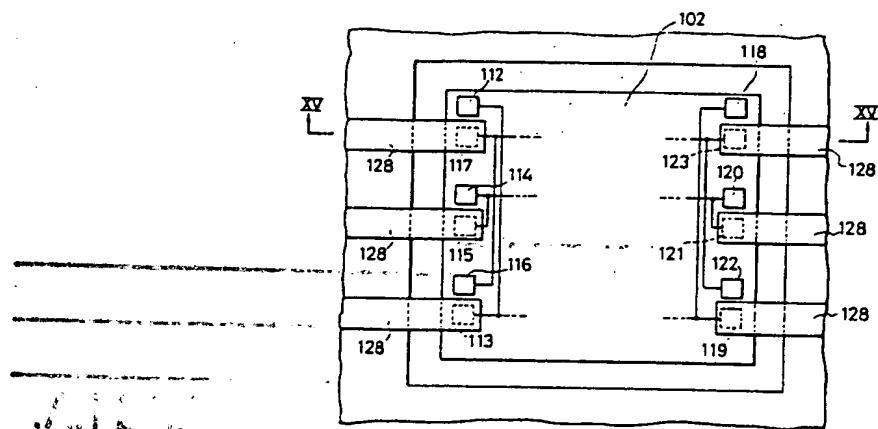


第 10 図



第 11 図

第 14 図



第 15 図

